بسمه تعالی

☐ دفاع از رساله دکتری ☐ سمینار عمومی (Colloquium)

■ دفاع از پایان‌نامه کارشناسی‌ارشد ☐ سمینار تخصصی (Seminar)

☐ سمینار تخصصی و مشورتی (Informal Seminar)

عنوان : ارائه یک روش تحمل‌پذیر خطای نرم برای کاربردهای تحمل‌پذیر عدم دقت در سطح گیت

سخنران : نفیسه عزیزی دلشاد

چکیده:

امروزه یکی از مهم‌ترین چالش‌های دنیای VLSI، خاصه در ابعاد نانو، قابلیت اطمینان و نحوه مقابله با خطاها و خرابی‌های ناشی از آن است. وقوع خطاهای نرم که در گذشته فقط در سامانه‌های فضایی و در معرض اشعه‌های کیهانی و در اکثر موارد سلول‌های حافظه به وقوع می‌پیوست، امروزه با پیشرفت تکنولوژی و افزایش تراکم تراشه‌ها به چالشی در تراشه‌های تجاری تبدیل شده است.

راه حل‌های متعددی برای مقابله با خطاهای نرم و کاهش آن در سطوح مختلف (از سطح نرم‌افزار کاربردی تا ساخت ترانزیستور) ارائه شده است. به صورت طبیعی افزایش قابلیت اطمینان با افزونگی در سامانه همراه است که منجر به افزایش هزینه طراحی و کاهش کارایی می‌شود. ارائه یک روش کارآمد برای کاهش و مقابله با خطای نرم یک مساله بسیار مهم در حوزه تامین قابلیت اطمینان است که کمک زیادی به کاهش هزینه‌های مقابله با خطاهای نرم می‌کند.

مطالعات نشان می‌دهد روش تغییر ابعاد گیت یک روش ساده، کارآمد و همچنان به روز برای افزایش تحمل‌پذیری خطا در سطح گیت به شمار می‌رود. از طرف دیگر کاربردهایی وجود دارد که ذاتاً می‌تواند درجه‌ای از خرابی را در نتیجه‌اش تحمل کند، به این معنی که با وجود عدم دقت در بخشی از محاسبات در دست انجام، نتیجه نهایی همچنان قابل قبول خواهد بود. در این پژوهش سعی بر این است که با تمرکز بر انواع روش‌های تغییر ابعاد گیت، به بررسی و توسعه‌ی یک روش سطح گیت با هزینه کمتر برای این دسته‌ی خاص از کاربردها، پرداخته شود که هدف نهایی آن کاهش خطاهای نرم در عین تحمیل کمترین هزینه به سامانه است. همچنین تلاش می‌شود از مقاومت ذاتی کاربردهای تحمل‌پذیر عدم دقت در برابر حدی از خطاها، برای بهینه‌سازی طراحی تحمل‌پذیر خطای آن‌ها، بهره‌برداری شود و به کمترین هزینه (افزونگی در مساحت، تاخیر، توان) در عین دستیابی به نتیجه‌ی قابل قبول، دست‌یافت.

کلمات کلیدی: خطای نرم، سیستم تحمل‌پذیر خطا، فناوری نانو، خطای گذرا، SEU

زمان برگزاری: ۹۶/۰۶/۱۳

مکان برگزاری: دانشکده مهندسی و علوم کامپیوتر