****

 **دانشگاه شهید بهشتی**

**دانشکده مهندسی و علوم کامپیوتر**

**اطلاعیه دفاع**

|  |  |
| --- | --- |
| **نام استاد راهنما:** **جناب اقای دکتر سید حسین عطارزاده نیاکی** | **نام دانشجو: سید بهرام هیوی**C:\Users\bahram\AppData\Local\Microsoft\Windows\INetCache\Content.Word\pic2.jpg |
| **مقطع: کارشناسی ارشد** | **گرایش: معماری سیستم‌های کامپیوتری** | **رشته: مهندسی کامپیوتر** |
| **تاریخ: 22/12/1400** | **نوع دفاع:*** **دفاع پروپوزال □**
* **دفاع پایان نامه ◼**
* **دفاع رساله دکترا □**
 |
| **ساعت: 16 تا 18** |
| **مکان:** <http://194.225.24.96/defa-computer-4> |
| **عنوان: شتاب‌دهی سخت‌افزاری الگوریتم جریان شبکه برای نگاشت گراف‌های وظایف به تراشه‌های چند پردازنده‌ای**  |
| **داوران داخلی: جناب اقای دکتر حمیدرضا مهدیانی** | **داوران خارجی: جناب اقای دکتر مصطفی ارسالی صالحی نسب** |
| **چکیده:**مطابق قانون آمدال، شتاب‌دهی بخشِ زمان‌بر یک برنامه‌ی کامپیوتری روی‌هم‌رفته منجر به بهبود کلی سرعت اجرای برنامه می‌شود. از سویی دیگر، در کاربردهایی مانند سیستم‌های نهفته، علاوه بر کارایی، بهبود پارامترهایی نظیر هزینه و توان مصرفی سیستم نیز از اهمیت بالایی برخوردار است. الگوریتم بیشینه‌ جریان در گراف‌های جریان شبکه یکی از مسائلی است که در طیف وسیعی از سیستم‌ها کاربرد دارد. در این پژوهش روی شتاب‌دهی الگوریتم بیشینه جریان شبکه تمرکز شده است که از جمله کاربردهای آن قطعه‌بندی تصویر و نگاشت وظایف به پردازنده‌ها است.هدف این پژوهش شتاب‌دهی سخت‌افزاری الگوریتم بیشینه جریان شبکه است. برای حل مسائل جریان شبکه و به‌خصوص مسئله‌ی بیشینه‌ جریان در گراف-که در این پژوهش به آن پرداخته شده است- هم روش‌های حل کلی مانند برنامه‌نویسی خطی به کار می‌رود و هم روش‌هایی اختصاصی، مانند الگوریتم‌های بیشینه‌ جریان، وجود دارد. تمرکز این پژوهش بر شتاب‌دهی الگوریتم ویژه‌ی حل مسئله‌ی بیشینه‌ جریان است. شتاب‌دهی پذیرفتنی روی برد با ابعاد انتخاب شده در پروژه، به‌کارگیری روش پیشنهادی را در سیستم‌های نهفته توجیه می‌کند و از سوی دیگر راه را برای انتقال آن به بسترهای شتاب‌دهی سخت‌افزاری قوی‌تر (مانند شتاب‌دهی سخت‌افزاری بر بستر پردازش ابری) هموار می‌کند.راهکار مورد استفاده در این پژوهش جهت شتاب‌دهی سخت‌افزاری، بهره‌گیری از سنتز سطح بالا بر پایه‌ی زبان OpenCL بر بستر FPGA-SoCها است. در زبان OpenCL دو رویکرد جهت توصیف هسته‌های شتاب‌دهی شده موجود است. یکی از الگوریتم‌های اجرای موازی مسئله‌ی بیشینه‌ جریان که در تشخیص لبه‌ی تصویرها نیز کاربرد دارد با هر دو رویکرد پیاده‌سازی و بهینه‌سازی می‌شود. برای سنجش مقدار شتاب‌دهی، زمان حل مسئله‌ی بیشینه‌ جریان گراف روی بورد DE10-Nano اندازه‌گیری می‌شود که یک‌بار تنها توسط پردازنده‌ی بورد اجرا می‌شود و بار دیگر از شتاب‌دهی سخت‌افزاری به کمک بخش FPGA بهره می‌گیرد. در پایان با مقایسه‌ی عددیِ زمان‌ها مشاهده می‌شود که در گراف با ساختار مش تا دو برابر شتاب‌دهی حاصل شده‌است. همچنین نشان داده می‌شود که برای حصول شتاب‌دهی، به‌کارگیری روش‌ها و راهبردهایی دقیق جهت بهینه‌سازی الزامی است و خروجی‌های اولیه ابزار سنتز سطح بالا روی کد نرم‌افزار با طراحی مطلوب فاصله زیادی دارد. |