** دانشگاه شهید بهشتی**

**دانشکده مهندسی و علوم کامپیوتر**

**اطلاعیه دفاع**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **نام استاد راهنما:** جناب آقای دکتر قاسم جابری‌پور  **نام استاد مشاور: -** | | | **نام دانشجو:** نگینمشایخی | |
| **مقطع: کارشناسی ارشد** | **گرایش: معماری سیستم‌های کامپیوتری** | | | **رشته: مهندسی کامپیوتر** |
| **تاریخ: ۲۸/۴/۱۴۰۰** | | | **نوع دفاع:**   * **دفاع پروپوزال □** * **دفاع پایان نامه □** * **دفاع رساله دکترا □** | |
| **ساعت: ۷:۳۰ الی ۹:۳۰** | | |
| **مکان**: <http://194.225.24.96/defa-computer-3> | | |
| **عنوان:** جمع‌کننده دهدهی با پرش بیت نقلی | | | | |
| **داوران داخلی: جناب آقای دکتر علی جهانیان** | | **داوران خارجی: جناب آقای دکتر سعید گرگین** | | |
| **چکیده:**  امروزه، به دلیل اهمیت رو به رشد کاربردهای مالی و تجاری مبتنی بر سیستم اعداد دهدهی، که توانایی تحمل خطاهای ناشی از تبدیل نمایش­های دهدهی و دودویی به یکدیگر را ندارند، پشتیبانی از محاسبات دهدهی توجه زیادی را به خود جلب کرده است. در این میان، جمع یکی از پرکاربردترین عملگرهای حسابی است، که برای دستورهای پیجیده­تری مانند ضرب و تقسیم نیز به­کار گرفته می­شود. بنابراین، ارائه یک طراحی بهینه از این عنصر، کمک شایانی به بهبود پارامترهاي سیستم خواهد کرد. در این پایان­نامه، ابتدا انواع جمع­کننده­های دودویی مورد بررسی قرار گرفته و سپس با استفاده از مزایای جمع­کننده‌ی دودویی پرش بیت نقلی، جمع­کننده‌ها­ی دهدهی مبتنی بر این راهبرد، پیشنهاد شده است. در گام بعدی، عملکرد این مدارها با استفاده از شبیه‌سازی‌های سطح گیت بررسی و پارامترهای متناظر با آن‌ها استخراج شده است. بدین منظور، تمامی طرح‌ها به صورت ۶۴ بیتی (۱۶ رقم دهدهی) و مبتنی بر فناوری CMOS ۹۰ نانومتر پیاده‌سازی شده‌اند. طبق نتایج شبیه‌سازی‌ها، جمع‌کننده‌ی گمانی ارائه شده دارای متوسط بهبود ۴۱٪ PDP (تأخیر در توان) و ۴۴٪ ADP (مساحت در تأخیر) در مقایسه با طرح‌های پیشین می‌باشد. این ارقام برای جمع‌کننده‌ی دهدهی مستقیم ارائه شده، در مقایسه با ساختارهای مشابه به ترتیب برابر ۴۴٪ و ۴۲٪ می‌باشند. | | | | |